

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**WEST**

18



Generate Collection

L10: Entry 4 of 4

File: JPAB

Aug 15, 1997

PUB-NO: JP409214296A

DOCUMENT-IDENTIFIER: JP 09214296 A

TITLE: SCHMITT INPUT BUFFER FOR SEMICONDUCTOR DEVICE AND INSPECTING METHOD OF THE SAME

PUBN-DATE: August 15, 1997

U

INVENTOR-INFORMATION:

NAME

COUNTRY

KUBO, NORIAKI

YOSHIZAKI, SHOICHI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

MATSUSHITA ELECTRON CORP

APPL-NO: JP08021157

APPL-DATE: February 7, 1996

INT-CL (IPC): H03 K 3/027; G01 R 19/165; G01 R 31/28

ABSTRACT:

PROBLEM TO BE SOLVED: To inspect an input buffer even if a terminal for external observation does not exist by connecting an input terminal to a first inverter, connecting the output of the first inverter to a second inverter and connecting the output of a third inverter to the input terminal.

SOLUTION: A first transfer gate 5 is between the initial stage inverter 1 and the second stage inverter 2. A second transfer gate 6 is connected between an inverter 4 for Schmitt hysteresis 4 and a Schmitt input buffer input terminal 7. Thus, the input of the second stage inverter 2, the output of the inverter for Schmitt hysteresis 4 and the first and second transfer gates 5 and 6 are connected to a connection node 8. Since the input terminal can be used as the terminal for external observation with time division at the time of inspection by means of such constitution, necessary inspection can be executed without separately providing the private terminal for external observation.

COPYRIGHT: (C)1997, JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-214296

(43)公開日 平成9年(1997)8月15日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 3/027			H 0 3 K 3/027	A
G 0 1 R 19/165			G 0 1 R 19/165	B
31/28			31/28	V

審査請求 未請求 請求項の数3 OL (全7頁)

(21)出願番号 特願平8-21157

(22)出願日 平成8年(1996)2月7日

(71)出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72)発明者 久保 徳章

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72)発明者 吉崎 昇一

大阪府高槻市幸町1番1号 松下電子工業株式会社内

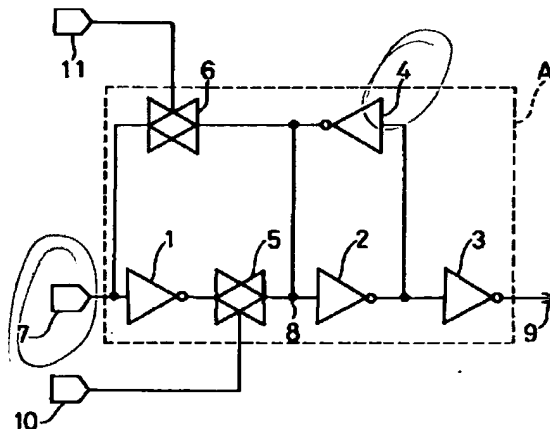
(74)代理人 弁理士 池内 寛幸 (外1名)

(54)【発明の名称】 半導体装置のシュミット入力バッファ回路とその検査方法

(57)【要約】

【課題】 MOS型半導体装置のシュミット入力バッファのスイッチング電圧やヒステリシス幅の検査に関し、半導体装置に外部観測用端子を別途設けることなく検査することができるようにする。

【解決手段】 シュミット入力バッファAの入力端子7が第1のインバータ1に接続され、第1のインバータ1の出力が第1のトランスファergeート5を介して第2のインバータ2に接続され、第2のインバータ2の出力が第3のインバータ4を介して第2のインバータ2の入力に戻され、さらに第3のインバータ4の出力が第2のトランスファergeート6を介して入力端子7に接続されている。



## 【特許請求の範囲】

【請求項1】 シュミット入力バッファの入力端子が第1のインバータに接続され、第1のインバータの出力が第1のトランスファークロスを介して第2のインバータに接続され、第2のインバータの出力が第3のインバータを介して第2のインバータの入力に戻され、さらに第3のインバータの出力が第2のトランスファークロスを介して前記入力端子に接続されていることを特徴とする半導体装置のシュミット入力バッファ回路。

【請求項2】 請求項1記載のシュミット入力バッファ回路のスイッチング電圧を測定するために、

イ) 第1期間で第1のトランスファークロスをオン状態に、第2のトランスファークロスをオフ状態にして前記シュミット入力バッファの入力端子に可変電圧を印加し、

ロ) 第2期間で第1のトランスファークロスをオフ状態にし、

ハ) 第3の期間で第2のトランスファークロスをオン状態にして第2および第3のインバータでラッチされていた電圧を入力端子から検出する3段階の操作を、1サイクルごとに前記可変電圧を段階的に変化させながら繰り返し、前記入力端子から検出された電圧が変化したときの前記可変電圧をシュミット入力バッファ回路の入力スイッチング電圧と判定するシュミット入力バッファ回路の検査方法。

【請求項3】 請求項2記載の方法において可変電圧を段階的に上昇させることによって測定された立上がり時の入力スイッチング電圧と、可変電圧を段階的に下降させることによって測定された立上がり時の入力スイッチング電圧との差をヒステリシス幅と判定するシュミット入力バッファ回路の検査方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、MOSトランジスタで構成した半導体装置のシュミット入力バッファ回路とその検査方法に関するものである。

【0002】

【従来の技術】 半導体集積回路の微細化に伴い、半導体デバイスの製造上の要因でシュミット入力バッファのヒステリシス幅のばらつきが大きくなりやすい。かかるヒステリシス幅のばらつきは製品の誤動作を引き起こしかねないので、これを抑えるべく、種々の検査方法が行われている。

【0003】 従来のMOS型半導体装置の検査方法の一例、そして、その検査方法の対象となる半導体装置のシュミット入力バッファを図4および5に基づいて説明する。図4の回路図に示すように、このMOS型半導体装置は、シュミット入力バッファAと検査用の出力バッファBとを備えている。シュミット入力バッファAは初段インバータ1、2段目のインバータ2、3段目のインバ

ータ3、そしてシュミットヒステリシス幅を持たせるためのフィードバックインバータ4から構成されている。出力バッファBは初段インバータ12と最終段インバータ13とで構成されている。

【0004】 図4において、7はシュミット入力バッファAの入力端子であり、初段インバータ1の入力に接続されている。8は入力バッファAの2段目のインバータ2の入力とフィードバックインバータ4の出力とが接続するノードを示している。9は入力バッファAの出力と他の回路部分との接続路、14は出力バッファBの出力に接続された外部観測用端子を示している。

【0005】 このMOS型半導体装置のシュミット入力バッファのスイッチング電圧とヒステリシス幅の検査を行うに際し、入力バッファAの入力端子7に電圧印加装置を接続し、出力バッファBの出力端子、つまり外部観測用端子14に電圧測定装置を接続する。

【0006】 まず、シュミット入力バッファAのLレベルからHレベルへのスイッチング電圧を測定するためには、図5(a)に示すシュミット入力バッファ入力電圧のうち、期間T1からT7までの段階的に上昇する電圧を電圧印加装置からシュミット入力バッファ入力端子7に順次印加する。入力電圧が段階的に変化するに伴い、シュミット入力バッファAの2段目のインバータ2の入力端子とフィードバックインバータ4の出力とが接続するノード8には図5(b)に示すような電圧波形が得られる。そして、3段目のインバータ3の出力、すなわち、接続路9には図5(c)に示すような電圧波形が出力され、この信号が出力バッファBを通して少し遅延した図5(d)に示すような電圧波形が最終的に外部観測用端子14に得られる。図5(a)の期間T1からT7までの各タイミングで入力電圧が変化する度に、外部観測用端子14の出力電圧がHレベルからLレベルに変化するかどうかチェックされる。

【0007】 このようにして、どのタイミングで、つまり、入力電圧がどのレベルに変化したときに出力電圧がHレベルからLレベルに変化するかが検出される。図5に示した電圧波形の例では、期間T4において出力電圧がHレベルからLレベルに変化している。したがって、この場合、MOS型半導体装置のシュミット入力バッファの立ち上がり時のスイッチング電圧 $T_{th}$ は期間T4における入力電圧値と判定することができる。

【0008】 また、シュミット入力バッファAのHレベルからLレベルへのスイッチング電圧を測定するためには、図5(a)に示すシュミット入力バッファ入力電圧のうち、期間T7からT13までの段階的に下降する電圧を電圧印加装置からシュミット入力バッファ入力端子7に順次印加して、上述の手順と同様に行えばよい。図5に示した電圧波形の例では、期間T12において出力電圧がLレベルからHレベルに変化している。したがって、この場合、MOS型半導体装置のシュミット入力バ

ッファの立ち下がり時のスイッチング電圧 $V_{t-}$ は期間T12における入力電圧値と判定することができる。以上のようにして測定された入力立ち上がり時のスイッチング電圧 $V_{t+}$ と入力立ち下がり時のスイッチング電圧 $V_{t-}$ との差( $V_{t+} - V_{t-}$ )がヒステリシス幅に相当する。

【0009】なお、図4(a)に示した段階的に変化する入力電圧波形は、実際には、量子化誤差を少なくするためにもっと細かいステップで変化する電圧波形が使用される。

【0010】

【発明が解決しようとする課題】上述した従来の入力スイッチング電圧測定方法は、半導体装置の論理動作の遷移を外部観測用端子を用いて観測することによって入力バッファのスイッチング電圧を測定するものである。半導体装置に外部観測用端子を設けることが必須の条件である。しかし、このような外部観測用端子を設けることが設計上の制限等により難しい場合がある。

【0011】そこで、本発明は、このような外部観測用端子が無くても入力バッファの検査が可能な入力バッファ回路を提供することを目的とする。

【0012】

【課題を解決するための手段】この目的を達成するために、本発明によるシュミット入力バッファ回路は、シュミット入力バッファの入力端子が第1のインバータに接続され、第1のインバータの出力が第1のトランスファergeートを経て第2のインバータに接続され、第2のインバータの出力が第3のインバータを経て第2のインバータの入力に戻され、さらに第3のインバータの出力が第2のトランスファergeートを介して入力端子に接続されていることを特徴とする。

【0013】また、このようなシュミット入力バッファ回路の本発明による検査方法にあっては、スイッチング電圧を測定するために、

イ) 第1期間で第1のトランスファergeートをオン状態に、第2のトランスファergeートをオフ状態にして前記シュミット入力バッファの入力端子に可変電圧を印加し、

ロ) 第2期間で第1のトランスファergeートをオフ状態にし、

ハ) 第3の期間で第2のトランスファergeートをオン状態にして第2および第3のインバータでラッチされていた電圧を入力端子から検出する3段階の操作を、1サイクルごとに前記可変電圧を段階的に変化させながら繰り返し、前記入力端子から検出された電圧が変化したときの前記可変電圧をシュミット入力バッファ回路の入力スイッチング電圧と判定する。

【0014】さらに、上記方法において、可変電圧を段階的に上昇させることによって測定された立ち上がり時の入力スイッチング電圧と、可変電圧を段階的に下降させ

ることによって測定された立ち上がり時の入力スイッチング電圧との差をヒステリシス幅と判定する。

【0015】このような本発明のシュミット入力バッファ回路とその検査方法によれば、入力端子をいわば時分割で外部観測用端子としても用いることができるので、専用の外部観測用端子を別途設けることなくシュミット入力バッファの入力スイッチング電圧およびヒステリシス幅の検査をすることができる。

【0016】

10 【発明の実施の形態】以下、本発明の好ましい実施形態について図1〜3を参照しながら説明する。図1に示すように、本実施形態のシュミット入力バッファ回路は、図4の従来例のような検査用の出力バッファBや外部観測用端子14を備えていない。その代わりに、第1及び第2のトランスファergeート5、6とそれぞれの開閉制御を行う制御信号用の入力端子(以下、「制御信号端子」という)10、11とを備えている。第1のトランスファergeート5は初段インバータ1と2段目のインバータ2との間に介装され、第2のトランスファergeート6はヒステリシス用インバータ4の出力と入力端子7との間に接続されている。したがってノード8には、2段目のインバータ2の入力、ヒステリシス用インバータ4の出力、そして第1及び第2のトランスファergeート5、6が接続されている。他の構成については図4の従来例と同様であるので説明を省略する。

【0017】本実施形態の回路では、第1のトランスファergeート5は、2段目のインバータ2とヒステリシス用インバータ4とで構成されるデータ保持回路(即ち、ラッチ回路)に初段インバータ1の出力を与えるタイミングを制御するのに用いられている。また、第2のトランスファergeート6は、上記のインバータ2および4からなるラッチ回路で保持されたデータをシュミット入力バッファAの入力端子7から読み出すためのスイッチとして機能する。

【0018】このように構成されたシュミット入力バッファの検査は次のように行われる。まず、シュミット入力バッファの立ち上がり時のスイッチング電圧を検査する際の各部の波形を図2に示す。図2(a)はシュミット入力バッファの入力端子7に加えられる電圧波形、図2(b)は第1のトランスファergeート5の制御信号端子10に加えられる電圧波形、図2(c)は第2のトランスファergeート6の制御信号端子11に加えられる電圧波形をそれぞれ示す。図2(d)はノード8の電圧波形、即ちインバータ2および4でラッチされた電圧の波形を示す。図2(e)はシュミット入力バッファの出力9の電圧波形である。また、図2(a)において、各期間に付された“in”は入力端子7が入力モードであることを示し、“Z”はハイインピーダンス(フローティング)状態であることを示し、“out”は出力モードであることを示している。

5

【0019】図2に示すように、最初の期間T0において、シュミット入力バッファの入力端子7には0Vが加えられる。この時、第1のトランスファークゲートはHレベルの制御信号によってオン状態にあり、初段インバータ1の出力と2段目インバータ2の入力とが接続されている。また、第2のトランスファークゲートはLレベルの制御信号によってオフ状態にあり、ヒステリシス用インバータ4の出力と入力端子7とが解放状態になっている。第1及び第2のトランスファークゲートが上記の状態のとき、シュミット入力バッファは通常動作モードである。2段目のインバータ2とシュミットヒステリシス用のインバータ4でラッチされた電圧、即ちノード8の電圧は、入力端子7の印加電圧がスイッチング電圧より低いので、Hレベルのままである。従ってシュミット入力バッファAの最終段インバータ9の出力電圧もHレベルのままである。

【0020】次の期間T1において、第1のトランスファークゲート5の制御信号がHレベルからLレベルに変化している。従って、第1のトランスファークゲートはオフ状態であり、初段インバータ1の出力と2段目インバータ2の入力との接続が断たれた状態になっている。つまり、シュミット入力バッファの入力端子7に与えられる電圧は2段目インバータ以降に伝えられない。従って、ノード8の電圧や出力9の電圧に変化はない。

【0021】次の期間T2に移行すると、第2のトランスファークゲート6の制御信号がLからHに変化する。このため、第2のトランスファークゲートはオン状態になり、ヒステリシス用インバータ4の出力が入力端子7に接続される。この期間に入力端子7の電圧を測定すれば、インバータ2および4からなるラッチ回路の電圧を知ることができる。T2で得られるラッチ回路の電圧は、T0でのノード8の電圧、つまりHレベルである。

【0022】期間T3以降は、上記のようなT0～T2までの動作を、入力端子7の印加電圧をステップアップしながら繰り返していくことになる。そして、入力端子7の印加電圧がスイッチング電圧 $V_{th}$ を越えると、図2(d)及び(e)に示すように、シュミット入力バッファのスイッチング動作が発生する。図2の例では期間T9に移行した時に、このスイッチング動作が発生している。

【0023】期間T9では、既述の期間T0と同様にシュミット入力バッファAが通常動作モードであり、入力電圧は2段目のインバータ2へ伝達される。そして2段目のインバータ2とシュミットヒステリシス用インバータ4でラッチされていた電圧をHレベルからLレベルに反転させる。次の期間T10では第1のトランスファークゲート5がオフ状態になり、初段インバータ1の出力と2段目インバータ2の入力との接続が断たれる。さらに次の期間T11では第2のトランスファークゲート6がオン状態となり、ヒステリシス用インバータ4と入力端子

6

7とが接続状態になる。この期間に入力端子7の電圧を測定すれば、得られる電圧はそれまでのHレベルからLレベルに変化していることがわかる。

【0024】結局、期間T2、T5、T8、T11、……において得られる電圧を監視しながら上記の手順を行うことにより、その電圧がHレベルからLレベルに変化したときにシュミット入力バッファのスイッチング動作が発生したことを知ることができ、そのときの入力電圧(T9における印加電圧)が、シュミット入力バッファAの立ち上がり時のスイッチング電圧ということになる。

【0025】次に、シュミット入力バッファの立ち下がり時のスイッチング電圧を検査する際の各部の波形を図3に示す。図3(a)はシュミット入力バッファの入力端子7に加えられる電圧波形、図3(b)は第1のトランスファークゲート5の制御信号端子10に加えられる電圧波形、図3(c)は第2のトランスファークゲート6の制御信号端子11に加えられる電圧波形をそれぞれ示す。図3(d)はノード8の電圧波形、即ちインバータ2および4でラッチされた電圧の波形を示す。図3(e)はシュミット入力バッファの出力9の電圧波形である。

【0026】図3に示すように、最初の期間T0において、シュミット入力バッファの入力端子7には電源電圧と同じ電圧(例えば5V)を印加する。この時、前述の立ち上がり時のスイッチング電圧の測定(図2)の場合と同様に、シュミット入力バッファAは通常動作モードである。2段目のインバータ2とヒステリシス用インバータ4T0でラッチされた電圧(ノード8の電圧)は、入力端子7の印加電圧がスイッチング電圧より高いので、Lレベルを維持する。従ってシュミット入力バッファAの最終段インバータ9の出力電圧もLレベルのままである。

【0027】以下、立ち上がり時のスイッチング電圧の検査(図2)の場合と同様に、期間T1では第1のトランスファークゲート5をオフ状態とし、期間T2では第2のトランスファークゲート6をオン状態とすることにより、シュミット入力バッファの入力端子7に外部観測用測定端子としての機能を兼ねさせることができる。図3の例では、期間T9に移行した時に入力端子7の印加電圧がスイッチング電圧 $V_{th}$ を越えてシュミット入力バッファのスイッチング動作が発生している。そしてスイッチング動作が発生したことは、2段目のインバータ2とシュミットヒステリシス用インバータ4でラッチされた電圧が入力端子7に現れる期間T11で検出することができる。このときの入力電圧(T9における印加電圧)が、シュミット入力バッファAの立ち下がり時のスイッチング電圧ということになる。

【0028】以上のようにして求められた立ち上がり時のスイッチング電圧 $V_{th}$ と立ち下がり時のスイッチン

7

グ電圧 $V_{th}$ との差がシュミット入力バッファAのヒステリシス幅として求められる。

【0029】尚、上記の実施形態において、第1のトランスファergeート5をオフにする期間 $T_1$ 、 $T_4$ 、 $T_7$ 、……において、それまでの印加電圧が継続して入力端子7に印加されていても測定には影響ない。また、上記の実施形態では説明の都合上、図2及び3に示すように、入力端子7の印加電圧の変化ステップを大きくとっているが、量子化誤差を小さくして測定精度を上げるためには、もっと細かいステップ幅にすることが好ましい。

【0030】

【発明の効果】以上のように、本発明のシュミット入力バッファ回路とその検査方法によれば、検査時に入力端子を時分割で外部観測用端子として用いることができるので、専用の外部観測用端子を別途設けることなくシュミット入力バッファのスイッチング電圧およびヒステリシス幅の検査をすることができる。

【図面の簡単な説明】

【図1】本発明の実施形態に係るシュミット入力バッファ回路の回路図

【図2】図1の回路の立ち上がりスイッチング電圧検査時の各部の波形を示す図

(a) シュミット入力バッファの入力電圧波形  
(b) 第1のトランスファergeートの制御信号の電圧波形  
(c) 第2のトランスファergeートの制御信号の電圧波形  
(d) 第2および第3のインバータでラッチされた電圧の波形  
(e) シュミット入力バッファの最終段インバータの出力電圧波形

【図3】図1の回路の立ち下がりスイッチング電圧検査時の各部の波形を示す図

8

(a) シュミット入力バッファの入力電圧波形  
(b) 第1のトランスファergeートの制御信号の電圧波形

(c) 第2のトランスファergeートの制御信号の電圧波形

(d) 第2および第3のインバータでラッチされた電圧の波形

(e) シュミット入力バッファの最終段インバータの出力電圧波形

10 【図4】従来のシュミット入力バッファ回路の回路図

【図5】図4の回路における各部の波形を示す図

(a) シュミット入力バッファの入力電圧波形

(b) シュミット入力バッファの初段インバータの出力電圧波形

(c) シュミット入力バッファの最終段インバータの出力電圧波形

(d) 外部観測用端子における出力電圧波形

【符号の説明】

A シュミット入力バッファ

B 出力バッファ

1 初段インバータ

2 2段目インバータ

3 3段目インバータ

4 シュミットヒステリシス用インバータ

5 第1のトランスファergeート

6 第2のトランスファergeート

7 シュミット入力バッファ入力端子

8 接続ノード

9 入力バッファの出力と他の回路部分との接続路

30 10 第1トランスファergeートの制御信号端子

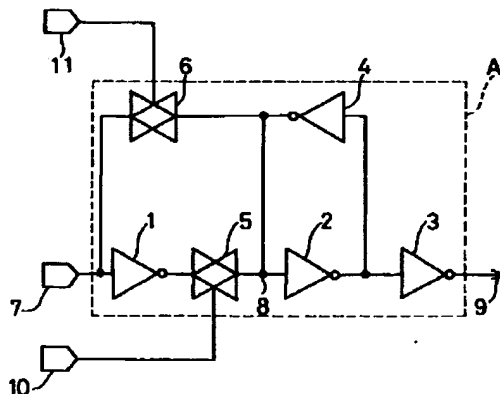
11 第2トランスファergeートの制御信号端子

12 出力バッファの初段インバータ

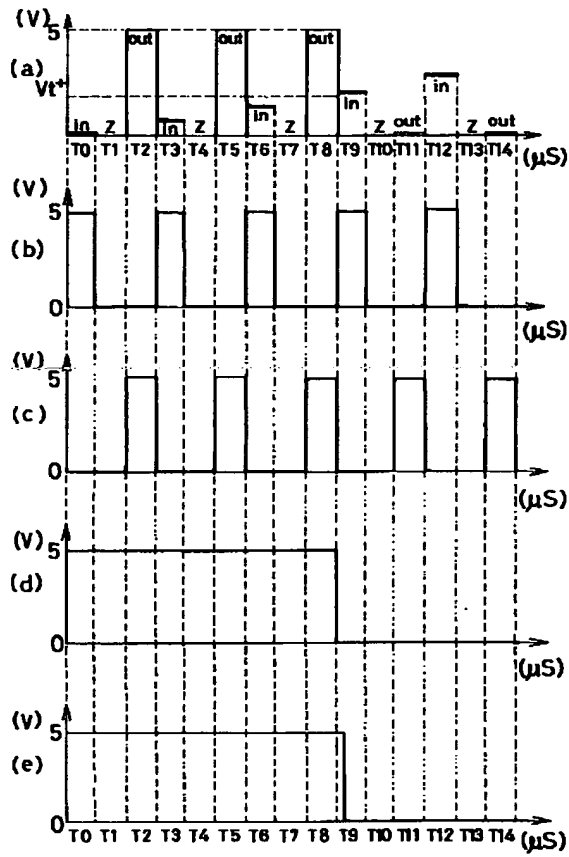
13 出力バッファの最終段インバータ

14 外部観測用端子

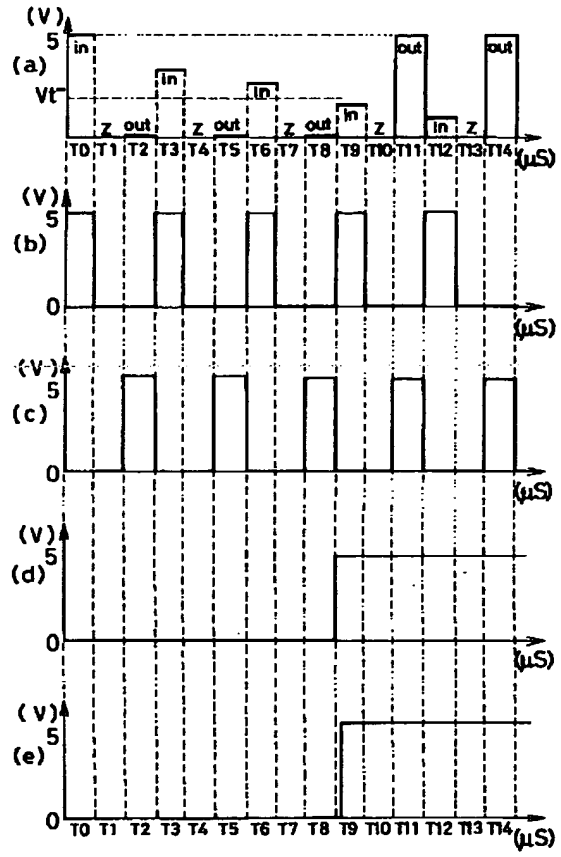
【図1】



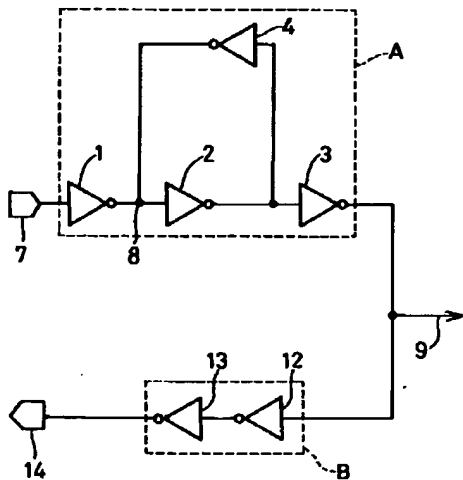
【図2】



【図3】



【図4】





【図5】

